

Министерство образования и науки Российской Федерации

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ  
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ  
«САРАТОВСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ  
ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИМЕНИ Н.Г.  
ЧЕРНЫШЕВСКОГО»

Кафедра физики твердого тела

***РАЗРАБОТКА ПРОТОТИПА ПРОЦЕССОРА ТРОИЧНОЙ ЛОГИКИ***

АВТОРЕФЕРАТ БАКАЛАВРСКОЙ РАБОТЫ

Студента 4 курса 411 группы

направления 11.03.04 «Электроника и наноэлектроника»

факультета нано- и биомедицинских технологий

Алексеевко Артёма Сергеевича

Научный руководитель

профессор, д.ф.-.м.н.

\_\_\_\_\_  
должность, уч. степень, уч. звание

А.А. Семёнов

\_\_\_\_\_  
инициалы, фамилия

Зав. кафедрой

профессор, д.ф.-.м.н.

\_\_\_\_\_  
должность, уч. степень, уч. звание

Д.А. Усанов

\_\_\_\_\_  
инициалы, фамилия

Саратов 2016

## **Введение**

**Актуальность темы.** Основу компьютерной техники составляют микропроцессоры. Особую актуальность приобретает переход к вычислительным машинам нового поколения, так как существует необходимость решения сложных задач.

Современная технология производства центральных микропроцессоров приближается к своим предельным значениям, размер отдельного элемента в современных микросхемах приближается к 5 атомам. Для разработки микропроцессорных устройств в этом плане представляют большой интерес новые физические эффекты, которые могут быть обнаружены в процессе исследований в рамках нано технологии. Второй путь - изменение основы функционирования микропроцессоров. В этом плане значительный интерес представляет собой переход на троичную систему счисления. Когда в рамках одного разряда содержится не 1 бит информации (два состояния), а один трит (три состояния).

Поэтому целью данной квалификационной работы является разработка схемы прототипа микропроцессора для реализации на троичной логике.

В рамках данной квалификационной работы была предпринята попытка разработки прототипа микропроцессорной системы с целью его дальнейшей реализации на элементах троичной логики. Была разработана базовая модель процессора, с помощью которой появилась возможность протестировать и понять принцип работы всей системы в целом, а так же отдельных частей и блоков. Данная модель позволяет замерить временные характеристики переходных процессов, определить количество временных тактов на выполнение математических или логических операций и отработать схемотехнические решения.

**Структура работы.** Бакалаврская работа содержит: введение, раздел «Основная часть», раздел «Практическая часть», заключение, список использованных источников из 29 наименований и два приложения. Общий объём работы – 69 страниц.

### **Основное содержание работы**

**Введение** содержит описание предметной области, описаны возможные варианты увеличения производительности микропроцессоров, актуальность и цель работы.

**Теоретический раздел** содержит обзор теоретических основ, используемых для выполнения поставленной задачи, а именно:

- Описание основных понятий микропроцессорных систем и их характеристики.

Микропроцессор - центральное устройство (или комплекс устройств) ЭВМ (или вычислительной системы), которое выполняет логические и арифметические операции, заданные микропрограммой, согласовывает работу устройств системы и управляет вычислительным процессом.

Главными характеристиками микропроцессора считаются: быстродействие и разрядность.

- Быстродействие — скорость выполнения процессором инструкций (количество инструкций, исполняемых процессором за одну секунду).
- Разрядность описывает количество информации, которую микропроцессор обрабатывает за одну операцию: 4-разрядный процессор за одну операцию обрабатывает 4 бита информации, 8-разрядный - 8 бит и т.д. [1].

Таким образом, очевиден тот факт, что при одной и той же разрядности и тактовой частоте, троичный процессор обрабатывает большее количество информации в единицу времени. Так четырёхразрядный двоичный процессор

может обработать  $2^4 = 16$  бит информации, в то время как аналогичный троичный процессор обработает  $3^4 = 81$  трит.

- Проведён анализ характеристик и опыт использования существующих и ранее разработанных моделей.

- Изучена теория троичной логики и опыт применения и внедрения вычислительных систем, работающих на принципах троичной логики.

Ее конструктивные особенности были таковы, что она могла одновременно адресовать только один трайт оперативной памяти. Использовалась троичная система счисления: 0, 1, -1. И только для чисел с фиксированной точкой. Оперативная память на ферритовых сердечниках емкостью в 162 трайта. В качестве внешней памяти использовался магнитный барабан, на который вмещалось до 4000 трайт. Пропускная способность шины памяти составляла 54 трайта. Троичная машина выполняла порядка четырех тысяч операций в секунду. Ввод и вывод происходил через телетайп и перфоленту. Чтение с перфоленты 800 строк/секунду, запись 20 строк/секунду. «Сетунь» имела 37 электронных ламп, 300 транзисторов, 4500 полупроводниковых диодов, 7000 ферритовых колец. Она занимала около 30 квадратных метра и потребляла 2,5 кВт [2].

Компьютеры «Сетунь» плохо поддаются интеграции, так как были разработаны на магнитных элементах. Поэтому, они не получили широкого практического использования.

ТСА2, версия v2.0 созданная в трёхуровневой (3-Level Coded Ternary, 3L CT, «однопроводной») системе троичных логических элементов на 1484-х интегральных транзисторах [3].

ТСА2, если попытаться охарактеризовать его возможности, представляет собой достаточно скромный компьютер, призванный скорее

оценить возможности построения троичной ЭВМ с использованием существующих технологий.

Существенной проблемой компьютерной системы ТСА2, является отсутствие развитых технологии производства и сложность реализации.

- Изучены практические и теоретические наработки создания схемотехнических решений на троичной логике.

Известны троичные элементы следующих видов:

Импульсные:

- Феррит-диодные

Феррит-диодные троичные элементы ЛЭМ-1 Л (магнитные усилители).

Потенциальные:

- Трёхуровневые

В трёхуровневых потенциальных линиях передачи цифровых данных (3-Level Coded Ternary, 3L СТ, «однопроводных») трём устойчивым состояниям соответствуют три уровня напряжения (положительное, нулевое, отрицательное), (высокое, среднее, низкое).

Выявленные недостатки:

1. необходимость, для равной помехоустойчивости с обычной двоичной системой, увеличения размаха сигнала в 2 раза.

- Двухуровневые

Амплитуда наибольшего сигнала помехи не более  $(\pm)U_{п}/4$  (25% от  $U_{п}$ ), при делении всего диапазона напряжений на две равные части и номинальных напряжениях сигналов в серединах поддиапазонов.

Двухуровневые, потенциальные (2-Level BinaryCodedTernary, 2L ВСТ), в которых логические элементы (инверторы) имеют два устойчивых состояния с двумя уровнями напряжения (высокое, низкое), а троичность работы достигается системой обратных связей (троичный триггер). Амплитуда сигнала помехи до  $U_{п}/2$  (до 50 % от  $U_{п}$ ).

- Двухбитные

Двухуровневые двухбитные (2-Level 2-Bit BinaryCodedTernary, 2L 2В ВСТ, «двухпроводные»). По скорости равны троичным двухуровневым трёхбитным триггерам. По сравнению с обычными двоичными триггерами в 1,5 раза увеличивают прямые аппаратные затраты.

Выявленные недостатки:

1. два проводника на один разряд.

- Трёхбитные

Двухуровневые трёхбитные (2-Level 3-Bit BinaryCodedTernary, 2L 3В ВСТ, «трёхпроводные»). По скорости равны троичным двухуровневым двухбитным триггерам. По сравнению с обычными двоичными RS-триггерами увеличивают объём хранимых и передаваемых данных в 1,5 раза на один разряд.

Выявленные недостатки:

1. три проводника на один разряд.

Комбинированные:

Комбинированные - это элементы, в которых вход данных трёхуровневый по одной линии и земле, а выход данных двухуровневый по трём линиям и земле [4].

**Практический раздел** содержит результаты проведённых исследований, в ходе которых были разработаны:

- Схема последовательного однобитного арифметико-логического устройства, на дискретных элементах.

Аппаратно схема АЛУ способна выполнять операции: сложение, исключающее ИЛИ, И, ИЛИ. Для хранения операндов используется два четырёхразрядных регистра сдвига. Интересной особенностью разработанного мною однобитного АЛУ является то, что в зависимости от выбранной операции, функция исключающее ИЛИ используется в составе сумматора, выполняет функцию инверсии и непосредственно свою собственную функцию.

- При разработке модели прототипа процессора использовались типичные схемы управления, хранения и передачи данных существующих процессоров на базовых элементах ТТЛ.

- Оригинальная модель последовательного арифметико-логического устройства на элементах малой степени интеграции, удобная для реализации в троичной логике. АЛУ реализовано на следующей элементной базе:

1. Дешифраторы команд
2. Регистром А и В служат сдвиговые регистры
3. Роль мультиплексора выполняет проводное ИЛИ, выполненное на логических элементах И-НЕ
4. Для отражения текущего состояния операции применена система «флагов», реализованная на D-триггере
5. Для хранения результата операций применена микросхема 531РУ8.

Разработанное АЛУ выполняет следующие группы операций:

1. Логические операции
2. Арифметические операции

### 3. Операции инкремента и декремента

### 4. Операции с флагами

### 5. Операции сдвигов

- Разработана базовая система команд для прототипа троичного процессора, которая характерна для большинства современных процессорных устройств и микроконтроллеров [5].

Code	Mnemonic	Argument	Description
00H	FETCH	= NOP	Извлечение кода операции - исполняет функцию NOP в цикле EXECUTE, поскольку аппаратно блокируются сигналы FETCH.
10H	MVA	NIBBL	Скопировать значение ниббла из программной памяти в аккумулятор А.
20H	LDA	—	Скопировать значение из регистра общего назначения (РОН) в аккумулятор А.
30H	STA	—	Скопировать значение аккумулятора в REG0... REGF, выбранный через SEL.
40H	MVB	NIBBL	Скопировать значение ниббла из программной памяти в регистр В.
50H	LDB	—	Скопировать значение из регистра общего назначения (РОН) в регистр В.
60H	SEL	REGx	Скопировать значение ниббла из программной памяти в селектор номера регистра (выбрать регистр общего назначения REG0... REGF — РОН).
70H	HLT	—	Остановка программного счетчика (перезапуск по аппаратному RESET).
80H	RET	NIBBL	Скопировать значение NIBBL-а из программной памяти в аккумулятор А. Устанавливает 8 младших бит программного счетчика PC в 0. Содержимое регистра В заносит в регистр сегмента PC.
90H	RST	N	Устанавливает 8 младших бит программного счетчика PC в 0. Ниббл N через регистр В заносит в регистр сегмента PC.
A0H	SKIP	FLAG	Пропуск 2-х байт программной памяти по условиям: Z, S, C, NZ, NS, NC. Пропускаются 2 байта, чтобы в них уместился код JMP SEG, ADDR. Bit 0 – FLAG C; Bit 1 – FLAG Z; Bit 2 – FLAG S; Bit 3 – FLAG NOT; Биты можно комбинировать, но следует внимательно оценить результат.
B0H	ADD	—	Суммирование значений в регистрах А и В. Результат - в аккумулятор А.
B1H	XOR	—	Исключающее ИЛИ: А XOR В. Результат - в аккумулятор А.
B2H	AND	—	Логическое умножение И: А AND В. Результат - в аккумулятор А.
B3H	ORA	—	Логическое сложение ИЛИ: А OR В. Результат - в аккумулятор А.
B4H	SUB	—	Вычитание значения регистра В из А. Результат - в аккумулятор А.
B5H	CMA	—	Побитная инверсия содержимого регистра А. Результат - в аккумулятор А.
B6H	INR	—	Инкремент регистра А. Результат - в аккумулятор А.
B7H	DCR	—	Декремент регистра А. Результат - в аккумулятор А.
B8H	ADC	—	Суммирование значений в регистрах А и В с учетом флага переноса С.
B9H	SBB	—	Вычитание значения регистра В из А с учетом флага заема С..
BAH	STC	—	Установить флаг переноса С.
BBH	CLC	—	Сбросить флаг переноса С.
BCH	CMC	—	Инвертировать флаг переноса С.
BDH	SFA	—	Установить флаги Z, S, C по значению содержимого регистра А.
BEH	ROL	—	Циклический сдвиг содержимого регистра А на 1 бит влево.
BFH	ROR	—	Циклический сдвиг содержимого регистра А на 1 бит вправо.
C0H	OUT	PORT	Скопировать значение аккумулятора А в порт вывода.
D0H	IN	PORT	Скопировать значение из порта ввода в аккумулятор А.



- На основе базовой системы команд создана программа для тестирования работоспособности разработанного процессора.

Протестированы:

1. Устройство управления и синхронизации;
2. Арифметико-логическое устройство;
3. Управление;
4. Регистры процессора/ОЗУ;
5. Аккумулятор;
6. Память и адресация;
7. Пользовательская область памяти;
8. Порты ввода / вывода;
9. SPI (Serial Peripheral Interface).

- Вывод тестовой информации осуществляется на графический жидкокристаллический индикатор мобильных устройств NOKIA 3310, обладающий встроенным контроллером управления дисплея с интерфейсом SPI.

В заключении приводятся результаты проделанной работы, а также рекомендации по дальнейшему применению разработанной схемы микро-ЭВМ.

В Приложении А содержится шестнадцатеричный листинг тестовой программы для проверки работоспособности прототипа.

В Приложении Б приведена электрическая принципиальная схема прототипа разработанного четырёхбитного микропроцессора.

## **Заключение**

В результате исследований, проведённых в ходе выпускной квалификационной бакалаврской работы, были разработаны:

- оригинальная модель последовательного арифметико-логического устройства на элементах малой степени интеграции, удобная для реализации в троичной логике;
- действующая модель простого четырёхбитного процессора, способная послужить в качестве прототипа для разработки процессора на троичной логике;
- система микрокоманд для низкоуровневого управления арифметико-логическим устройством;
- базовый набор команд модели простого четырёхбитного процессора;
- программа для тестирования системы команд разработанной модели процессора

Результаты тестов показали работоспособность разработанной модели простого четырёхбитного процессора и достаточность базового набора команд модели для реализации типовых алгоритмов задач управления.

К недостаткам разработки следует отнести: неразвитую логику переходов и неудобную систему косвенной адресации.

Разработанная схема микро-ЭВМ может быть рекомендована в качестве прототипа для разработки троичного процессора, на соответствующей элементной базе после устранения указанных недостатков.

## Список использованных источников

1 Самкова Т. О. Развитие микропроцессоров в обозримом будущем: направления и технологии / Т. О. Самкова, И. Р. Усманова, В. Ф. Ковганюк, А. В. Орлов // Новое слово в науке: перспективы развития : материалы VII Междунар. науч.–практ. конф. (Чебоксары, 15 янв. 2016 г.). В 2 т. Т. 2 / редкол.: О. Н. Широков [и др.]. Чебоксары: ЦНС «Интерактив плюс», 2016. № 1 (7). С. 57–66.

2 Брусенцов Н.П. Опыт разработки троичной вычислительной машины. Вестн. Моск. Ун-та. Сер. I, Математика, механика, 1965, № 2, с. 39–48.

3 Jeff Connelly . Ternary Computing Testbed 3-Trit Computer Architecture. - Computer Engineering Department, August 29th, 2008, with contributions from Chirag Patel and Antonio Chavez. Advised by Professor Phillip Nico. California Polytechnic State University of San Luis Obispo

URL: <http://xyzyzy.freeshell.org/trinary/CPE%20Report%20-%20Ternary%20Computing%20Testbed%20-%20RC6a.pdf> (дата обращения: 18.03.2016).

4 Куликов А.С. Быстродействие физических систем передачи данных. URL:[http://andserkul.narod.ru/bystrodejstvie\\_fizicheskikh\\_sistem4.pdf](http://andserkul.narod.ru/bystrodejstvie_fizicheskikh_sistem4.pdf) (дата обращения: 15.04.2016).

5 Уокерли Дж. Архитектура и программирование микроЭВМ. / Дж. Уокерли. М.: Мир, 2003.486 с.