

Министерство образования и науки Российской Федерации

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ

ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ

ВЫСШЕГО ОБРАЗОВАНИЯ

«Саратовский национальный исследовательский государственный университет
имени Н.Г. Чернышевского»

Кафедра общей физики

Исследование устройств манипуляции битами данных в
устройствах вычислительной техники

АВТОРЕФЕРАТ

студента 2 курса 252 группы

направления 03.04.02 Физика

Физического факультета

Чесакова Всеволода Сергеевича

Научный руководитель
Доцент, д.т.н., профессор _____

Л.С. Сотов

Зав. кафедрой общей физики

Зав. кафедрой, д.ф.-м.н., профессор _____

А.А. Игнатъев

Саратов 2017 г.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность проблемы. Обеспечение параллелизма манипуляций с данными является одним из методов повышения производительности средств вычислительной техники. В настоящее время большинство процессоров общего назначения параллельно обрабатывают данные, имеющие 32 или 64 разряда, что позволяет с высокой скоростью осуществлять операции над числами с одинарной и двойной точностью.

С расширением области применения средств вычислительной техники все чаще возникают задачи, связанные с формированием изоморфных представлений или битовых перестановок машинного слова. В число таких задач входят обработка морфологии изображений, сортировка, моделирование и тестирование цифровых устройств, задачи биоинформатики, расчет контрольных сумм и коррекция ошибок, стеганография, сжатие и развертывание информации, выполнение криптографических примитивов, обработка сигналов в системах RPMA (random permutation-based multiple access) для передачи данных с

использованием технологий расширения спектра, преобразование данных для передачи в текстовом формате и т.п. При этом затраты машинного времени на битовые преобразования данных составляют от 30 до 90% времени выполнения задач.

Ранее были предложены новые инструкции для манипуляции битами данных $bsn\ r_1, r_2, r_3, r_4, grpm\ r_1, r_2, r_3$. Использование команды bsn позволяет осуществить любую перестановку бит данных за 2 операции. Использование команды $grpm$ позволяет осуществить любую перестановку бит данных за $\log_2(n)$ операций, где n – число разрядов машинного слова процессора. Команды $grpm$ и обратная ей dep (*deposit*) используются в задачах обработки морфологии изображений, кодировании и декодировании информации.

Проблема заключается в том, что большинство RISC процессоров обрабатывают инструкции с двумя входными и одним выходным регистром и не могут выполнять инструкцию bsn , а для выполнения команды $grpm$ требуется декодер управления и существующие решения обладают низким быстродействием.

Таким образом, существующие методы и аппаратные средства для выполнения манипуляции битами данных с использованием команд $bsn, bfly, bfly, grp, grpm$ либо не совместимы с архитектурой существующих RISC процессоров, либо имеют в своем составе сложные и медленные декодеры, что существенно снижет производительность процессоров.

В связи с вышеизложенным исследование возможности создания высокопроизводительных декодеров бит управления для устройств манипуляции битами данных на базе многоуровневых коммутационных схем является актуальным.

Цель работы. Исследование возможности создания высокопроизводительных декодеров бит управления для устройств манипуляции битами данных на базе многоуровневых коммутационных схем.

Задачи.

- Исследование способов управления коммутационными схемами преобразователей форматов представления данных.
- Исследование возможности использования кодов Лемера для управления модифицированной многоуровневой коммутационной схемой
- Исследование структур схем префиксных сумматоров для ускорения быстрогодействия и снижения аппаратурной сложности декодера бит управления.
- Разработка модели декодера бит управления и внедрение её в структуру процессора на базе ядра OPERISC1200.

Научная новизна работы:

В работе показано, что компоненты векторов инверсий (коды Лемера) можно непосредственно использовать для управления многоуровневой коммутационной схемой.

На основе структуры префиксного сумматора Хана-Карлсона разработана модель высокопроизводительного декодера бит управления для выполнения инструкции *grpm r₁,r₂,r₃*.

Реализация и внедрение результатов работы.

Модель нового декодера управления внедрена в структуру CPU процессора на базе ядра OPERISC1200.

Практическая значимость работы заключается в повышении производительности технической базы средств вычислительной техники за счет использования разработанных устройств при решении задач обработки морфологии изображений, сортировки, обработки сигналов в системах РРМА, биоинформатики; расчета контрольных сумм и коррекции ошибок, стеганографии, сжатия и развертывания информации, выполнения криптографических примитивов, алгоритма *UUE* преобразования данных для передачи в текстовом формате и других задач, связанных с манипуляцией битами данных.

Структура и объем квалификационной работы. Работа состоит из введения, двух глав, заключения, изложенных на 82 страницах, списка литературы.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы исследования, определены цели и задачи работы, отмечены основные результаты исследований, выносимые на защиту, определена их научная новизна и практическая значимость.

В главе 1 проведен аналитический обзор задач вычислительной техники, в которых преобразование форматов данных занимает значительную часть общего объема вычислений. Проведены исследования существующих проблем снижения производительности в прикладных задачах, связанных с манипуляциями битами машинного слова. Так же исследована существующая аппаратура для быстрого выполнения перестановок и манипуляций битами данных. Наиболее перспективными являются инструкции перестановки *bsn*, группировки *grp* и *grpm* и размещения. Однако, для выполнения инструкции *bsn* необходимо 5 вспомогательных регистров процессора, и это несовместимо по архитектуре с большинством RISC процессоров. Проблема использования команд группировки и размещения битов машинного слова заключалась в том, что существующие декодеры бит управления обладают низкой производительностью и большой аппаратурной сложностью.

В главе 2 приведены результаты решения задач, поставленных в работе.

Исследование способов управления коммутационной матрицей показало, что для выполнения команд *grp*, *grpm* декодер управления должен рассчитывать кол-во единичных бит в подсловах машинного слова. В результате проведенных исследований на базе структуры структуры Хана-Карлсона был разработан декодер управления для выполнения команд *grp*, *grpm*. С использованием языка *Verilog HDL* была разработана модель декодера и показано, что производительность предложенного декодера в 2 раза превышает производительность существующих

модулей, а аппаратурная сложность от 1,5 до 10 раз меньше.

Коды Лемера часто используются для кодирования любой возможной перестановки множества. Была рассмотрена возможность использования кодов Лемера для управления модифицированной многоуровневой коммутационной схемой Бенеша, и показано, что число битов, необходимых для записи кодов Лемера совпадает с числом переключателей модифицированной коммутационной схемы используемой для выполнения перестановок. Поскольку код Лемера и биты управления модифицированной коммутационной схемой позволяют выполнить любую перестановку, было доказано, что существует биективное отображение кода Лемера на переключатели коммутационной схемы, это позволило упростить выполнение команды *bsn* но не сократило количество регистров, необходимое в инструкции перестановки.

Для тестирования декодера, была разработана имитационная модель устройства с использованием языка *Verilog HDL*.

ОСНОВНЫЕ РЕЗУЛЬТАТЫ И ВЫВОДЫ

1. Предложено два новых способа управления многоуровневыми коммутационными схемами: с использованием кодов Лемера и путем подсчета числа единичных бит в подсловах машинного слова длиной 2,4,6...
2. Показано что компоненты векторов инверсии можно непосредственно использовать для управления переключателями коммутационной матрицы.
3. Предложено использовать структуру Хана-Карлсона для расчета единичных бит в подсловах. И показано, что она обладает наилучшими быстродействием и аппаратурной сложностью.
4. На базе структуры Хана-Карлсона разработан декодера бит управления и внедрен в структуру процессора на базе ядра OPERISC1200. Создана модель на базе ПЛИС SPARTAN6.

Основные результаты опубликованы в следующих работах:

1. Декодер бит управления устройства манипуляции битами данных / В. С. Чесаков, Л. С. Сотов // Гетеромагнитная микроэлектроника. 2015. № 18.
2. Микропроцессор с ускоренной манипуляцией битами данных для обработки сигналов в системах связи /А. В. Ляшенко, Л. С. Сотов, А. Л. Хвалин, В. С. Чесаков// Гетеромагнитная микроэлектроника. 2015. № 18. С. 72-81.
3. Биективное отображение кода Лемера на элементы модифицированной многоуровневой коммутационной схемы Бенеша /Л. С. Сотов, В.С. Чесаков// Гетеромагнитная микроэлектроника. 2016. № 20. С. 46-55.
4. Использование окон при гармоническом анализе колебаний в динамических системах с учетом возвратов Пуанкаре / В. С. Чесаков, Л. С. Сотов // Гетеромагнитная микроэлектроника. 2016. № 20. С. 56-64.