

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

**«САРАТОВСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИМЕНИ Н.Г. ЧЕРНЫШЕВСКОГО»**

Кафедра радиофизики и нелинейной динамики

**Моделирование характеристик КМОП-структур
и исследование КМОП-логических элементов и триггеров**

АВТОРЕФЕРАТ БАКАЛАВРСКОЙ РАБОТЫ

студента 4 курса 422 группы
направления 11.03.02 Инфокоммуникационные
технологии и системы связи
физического факультета
Галиуллина Романа Равильевича

Научный руководитель

профессор, д.ф.-м.н.,

А.В.Хохлов

Зав. кафедрой

д.ф.-м.н., профессор

В.С. Анищенко

Саратов (2020)

Введение

Настойчивая необходимость быстрой обработки и передачи информации на огромные расстояния на Земле и в космическом пространстве вызывает стремительное развитие различных систем связи и телекоммуникационных технологий. Успехи телекоммуникационных и инфокоммуникационных систем без многочисленных достижений радиоэлектроники и физики полупроводников были бы не возможны. Здесь особая роль принадлежит комплементарным парам МДП или МОП-элементов (КМОП- структурам), предназначенным для обработки и хранения цифровой (обычно двоичной) информации. Практически все современные цифровые микросхемы, включая микропроцессоры, элементы памяти, являются КМОП микросхемами. Они используют полевые транзисторы с изолированным затвором и индуцированными каналами разной проводимости. Никаких других элементов в таких микросхемах нет. Отличительной особенностью КМОП-схем является создание n-, так и p-канальных полевых транзисторов в одной компактной области кристалла. КМОП-структуры обладают простотой изготовления, высокой плотностью монтажа, низковольтным питанием (2.7 до 0,8 В), недостижимой в других полупроводниковых технологиях (ТТЛ, ЭСЛ и др.) скоростью переключений. Поэтому они быстро заняли ведущее место в различных системах связи (от мобильной до спутниковой), а совершенствование полупроводниковых технологий (особенно методов и средств нанoeлектроники) привело к почти экспоненциальному снижению стоимости КМОП-микросхем.

Целью настоящей квалификационной работы бакалавра является анализ свойств различных КМОП-элементов и структур на основе учебных курсов полупроводниковой электроники и схемотехники, моделирование основного узла электронных схем - КМОП-инверторов различными комбинациями дискретных МОП-транзисторов, разработка программ расчета передаточных характеристик инверторов и методики использования дискретных элементов для создания моделей интегральных КМОП-логических элементов и КМОП-триггеров комбинациями дискретных МОП-транзисторов, оценка точности выполнения цифровых операций на моделях из дискретных элементов.

Инвертор. Принцип работы

Отечественная и зарубежная радиоэлектронная промышленность выпускают десятки интегральных серий комплементарных элементов и структур. Базовым элементом любой микросхемы, выпускаемой по КМОП технологии, является инвертор, выполненный по интегральной технологии на двух последовательно соединенных МОП-транзисторах с изолированным затвором и индуцированными каналами р- и n-типа. Транзисторы включены встречно, стоки соединены и образуют выход инвертора, а затворы соединены между собой и являются общим входом (рис. 1). Транзисторы в схеме инвертора рассчитывают так, чтобы они были согласованы, т. е. имели одинаковые (по модулю) пороговые напряжения и удельные проводимости. Исследуя интегральные КМОП-элементы или цифровые схемы логических элементов, мы не можем заглянуть внутрь микросхемы, рассмотреть геометрию, используемые материалы и технологии, обеспечивающие нужные параметры, а иногда и недоступные из-за ноу-хау производителей. А ведь структуры и особенно полупроводниковые материалы интегральных микросхем изменяются почти ежедневно.

Инвертор работает следующим образом:

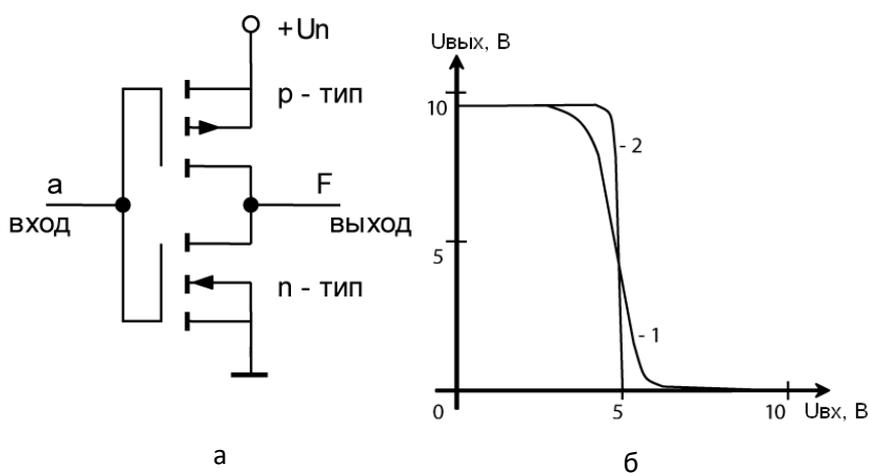


Рис. 1. Схема КМОП инвертора (а), его передаточная характеристика (б)

Транзистор с индуцированным каналом р-типа открывается при отрицательном напряжении смещения относительно Е, а транзистор n-типа – соответственно при положительном напряжении на затворе, то для получения положительной логики исток транзистора n- типа подключают к минусу, а исток транзистора р- типа к его плюсу источника питания. Точка соединения затворов служит входом, а общая точка стоков – выходом КМОП-инвертора.

При $U_{вх} = E_{пит}$ открыт транзистор n- типа, $U_{вых} = "0"$ (транзистор р-типа закрыт),

$U_{вх} = "0"$ открыт транзистор р- типа, $U_{вых} = E_{пит}$ (транзистор n-типа закрыт).

Путем подключения к выходу инвертора – одного или двух дополнительных инверторов можно значительно улучшить переключательные характеристики. Повышение крутизны переходного участка обеспечиваются за счет значительного усиления сигналов.

Мы пробовали создавать модели КМОП-инверторов, используя n-канальные и р-канальные транзисторы MOS_N и MOS_P. Выбирались транзисторы с близкими значениями V_{TO} (напряжения отсечки) и коэффициента усиления. Было опробовано 4 пары транзисторов. Один из промоделированных CMOS-инверторов с транзисторами IRF9130 (р) и IRF120 (n) и его передаточная характеристики, рассчитанные по программе для 6 напряжений питания Е, представлены на рис. 2.

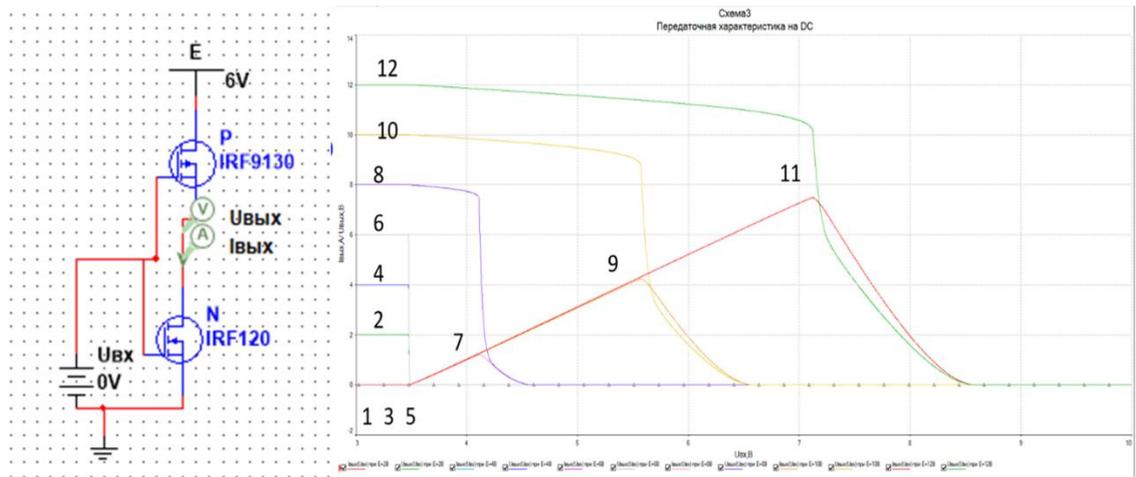


Рис. 2. Схема CMOS-инвертора (а) и его передаточная характеристика (б)

Как следует из рис. 2 переход напряжения из состояния логической единицы в нуль при $E=2\text{В}$ и 4В происходит так, как должно быть в теории. При увеличении E появляется незапланированный излом в передаточных характеристиках (кривые 9 и 10).

Рассмотренные изломы на передаточных характеристиках моделей рассматриваемых инверторов полностью отсутствуют если изменить схему и из тех же МОП-транзисторов IRF9130 (р) и IRF120 (n) составить КМОП-инвертор с напряжением питания до 30 В (рис. 3, а).

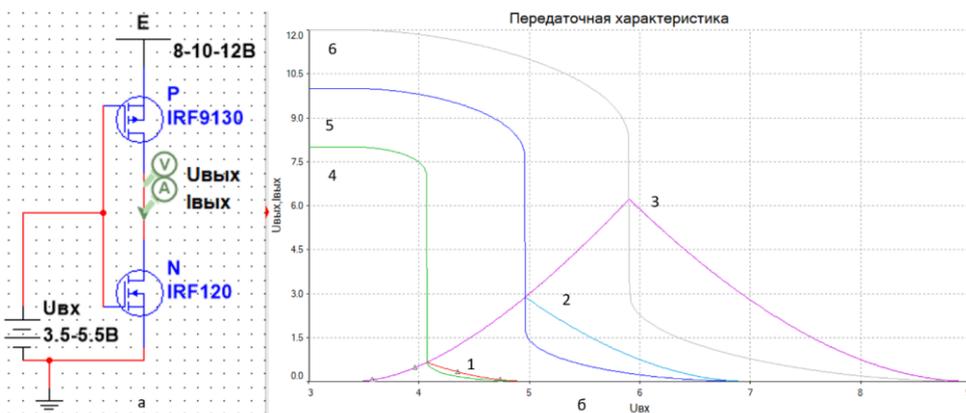


Рис. 3. Схема КМОП инвертора (а), передаточная характеристика(б)

Аналогичные результаты в литературе не встречались и были получены нами за счет подбора транзисторов и выбора режима работы инвертора

Синхронный RS триггер

Схема RS триггера позволяет запоминать состояние логической схемы, но так как в начальный момент времени может возникать переходный процесс, то запоминать состояния логической схемы нужно только в определённые моменты времени, когда все переходные процессы закончены. Большинство цифровых схем требуют сигнала синхронизации (тактового сигнала). Все переходные процессы в комбинационной логической схеме должны закончиться за время периода синхросигнала, подаваемого на входы триггеров. Триггеры, запоминающие входные сигналы только в момент времени, определяемый сигналом синхронизации, называются синхронными.

Функциональная схема синхронного RS-триггера приведена на рисунке 4, а таблица истинности синхронного RS-триггера приведена в таблице 1. В этой таблице символ 'x' означает, что значения логических уровней на данном входе не важны. Они не влияют на работу триггера.

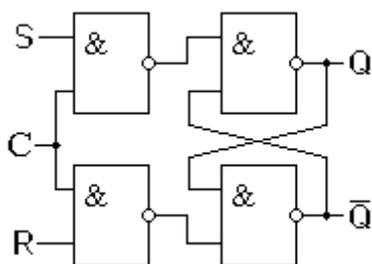


Рисунок 4. Схема синхронного RS триггера, построенного на элементах "2И-НЕ"

Таблица 1. Таблица истинности синхронного RS триггера.

C	R	S	Q	He Q	Пояснения
0	x	x	0	1	Режим хранения информации
0	x	x	1	0	
1	0	0	0	1	Режим хранения информации
1	0	0	1	0	
1	0	1	0	1	Режим установки единицы S=1
1	0	1	1	0	
1	1	0	0	1	Режим записи нуля R=1
1	1	0	1	0	
1	1	1	-	-	R=S=1 запрещенная комбинация

Электрическая принципиальная схема синхронного RS триггера была собрана из четырех логических элементов “2И-НЕ”, которые в свою очередь были моделями серийных интегральных схем “2И-НЕ”, составленными из КМОП-инверторов на дискретных МОП-транзисторах IRF9130 (p) и IRF120 (n). Справедливость функционирования всех логических схем предварительно проверялись на соответствие таблице истинности.

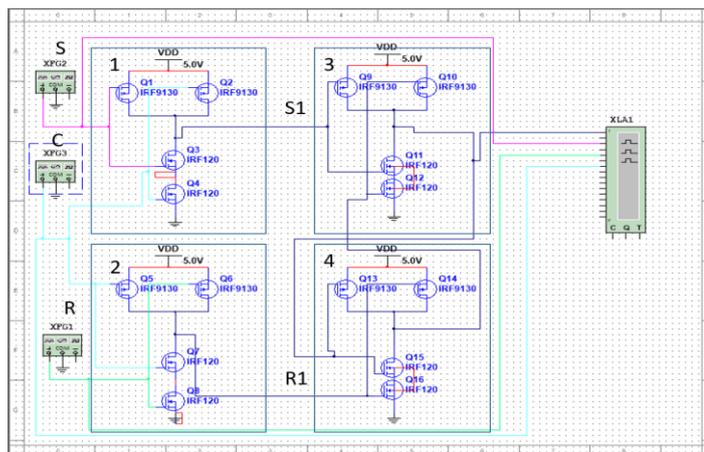


Рисунок 5. Схема синхронного RS-триггера на КМОП элементах 2И –НЕ

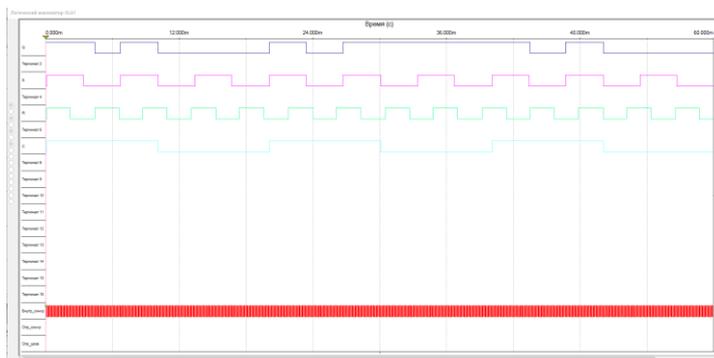


Рисунок 6. Выходные характеристики синхронного RS триггера,

Приведённая схема КМОП-триггера работает следующим образом. Если на одном из входов (или на обоих сразу) микросхемы 1 будет присутствовать низкий потенциал, т.е. уровень логического нуля установлен на входах S и C, а на выходе Q на предыдущем такте установился уровень логического нуля или единицы, то он сохранится. Если же на обоих входах микросхемы 1 (S и C) будет присутствовать уровень логической единицы, то на ее выходе установится логический нуль. При низком уровне на входе R на выходах микросхем 2 и 4 устанавливается логический нуль, а на выходе триггера потенциал сохраняется.

При подаче положительного потенциала на входы S(1) и C(1) на выходе микросхемы 1 устанавливается логический нуль и при низком уровне на выходе микросхемы 4 на выходе микросхемы 3 и триггера устанавливается логическая единица. При нулевом потенциале на C, система переходит в режим хранения информации независимо от входа S. Аналогично и для входа R.

Синхронный D триггер

В RS-триггерах для записи логического нуля и логической единицы требуются разные входы, что не всегда удобно. При записи и хранении данных

один бит может принимать значение, как нуля, так и единицы. Для его передачи достаточно одного информационного входа.

Название D триггера происходит от английского слова delay — задержка. Конкретное значение задержки определяется частотой следования импульсов синхронизации.

Передо мной была поставлена задача на основе выбранных и исследованных КМОП-инверторов и логических элементов создать и исследовать схему D-триггера.

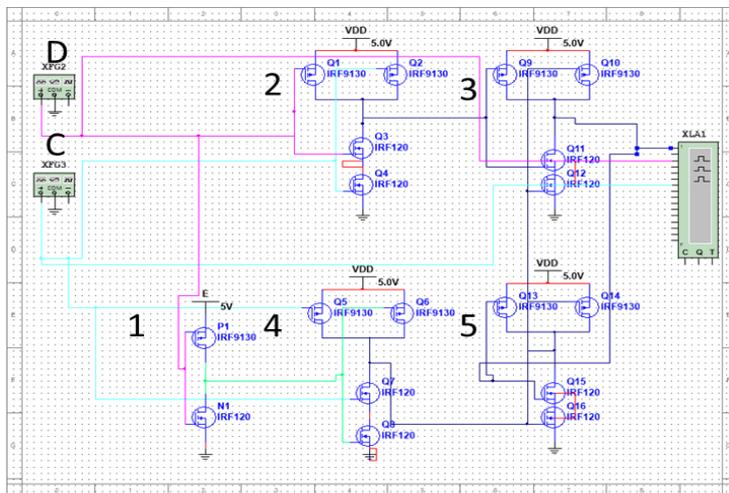
Таблица истинности D триггера достаточно проста, она приведена в таблице 5. Как видно из этой таблицы, этот триггер способен запоминать по синхросигналу и хранить один бит информации.

Таблица 2. Таблица истинности D триггера

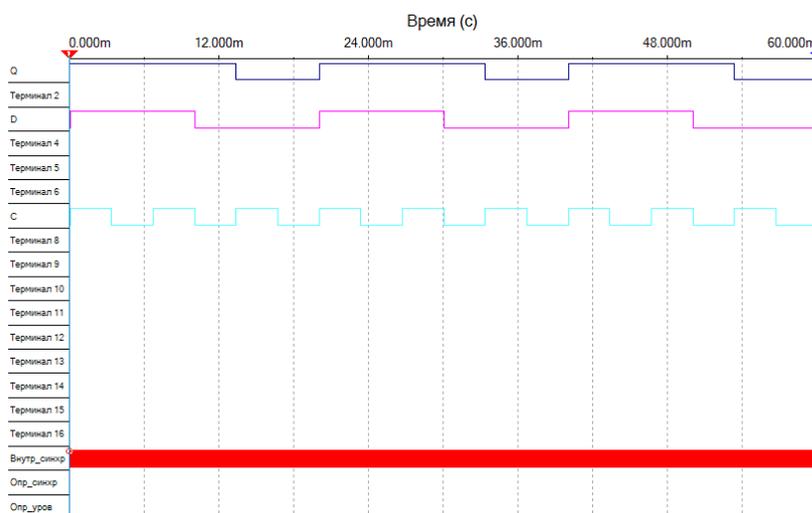
C	D	Q	He Q	Пояснения
0	x	0	1	Режим хранения информации
0	x	1	0	
1	0	x	x	Режим записи информации
1	1	x	x	

Для подтверждения возможности создать на дискретных МОП – транзисторах более сложные структуры, например, счетчики или регистры сдвига, была создана модель синхронного D-триггера, представляющего собой обобщение синхронного RS триггера. Как уже отмечалось, при переходе от RS к D триггеру требуется, чтобы R и S входы были связаны инвертором двоичных сигналов. Полная принципиальная схема D триггера на четырех моделях КМОП элементов "2И-НЕ" и модели КМОП-инвертора и

осциллограммы выходных характеристик приведены на рисунке 13. Схема содержит КМОП модель инвертора (микросхема 1) и 4 микросхемы моделей логических элементов (микросхемы 2-5).



а



б

Рисунок 7. Полная электрическая схема синхронного D триггера (а), входные и выходные в различных узлах схемы D триггера (б)

Приведённая схема D-триггера работает следующим образом. При присутствии положительного потенциала на входах D и C будет происходить запись информации положительного сигнала, т.е. при высоком уровне на

входе D на выходах микросхем 4 и 5 устанавливается логический нуль за счет инвертора 1, а на выходе триггера потенциал сохраняется. При появлении отрицательного потенциала на D и положительного на C будет записан отрицательный сигнал, т.е. при низком уровне на входе D на выходах микросхем 4 и 5 устанавливается логическая единица за счет инвертора 1, а на выходе триггера потенциал сменится с положительного на отрицательный. Если же C будет равно нулю, то независимо от входного потенциала на D, будет происходить хранение информации, полученной с предыдущего такта.

При разрешающем сигнале на тактовом входе устанавливается в состояние, соответствующее потенциалу на входе D. Если обозначать выходной сигнал триггера буквой Q, то для D-триггера можно написать следующее равенство: $Q_n = D_{n-1}$. Индексы n и n-1 указывают на то, что выходной сигнал Q изменяется не сразу после изменения входного сигнала D, а только с приходом разрешающего тактового сигнала. Тактирование D-триггера может осуществляться импульсом или фронтом. В тактируемом фронтом D-триггере изменение потенциала на входе D, синхронное с тактовыми импульсами, повторяется на выходе Q с задержкой на один период тактовых импульсов (отсюда и название-триггер задержки).

Заключение

Представленная работа посвящена исследованию возможности создания электронных моделей цифровых интегральных КМОП элементов и структур на дискретных МОП-транзисторах с индуцированными каналами n- и p-типа. Моделирование основного элемента цифровых интегральных микросхем КМОП-инвертора показало, что возможно подобрать такие пары МОП-транзисторов, чтобы они позволяли получить передаточные характеристики, удовлетворительно воспроизводящие характеристики интегральных микросхем КМОП-инверторов. Использование полученных моделей интегральных микросхем позволило реализовать электронные модели КМОП-логических элементов и триггеров. Справедливость и точность выполнения заданных функциональных операций проверялась по таблицам истинности и подтвердилась анализом временных зависимостей на осциллографе и логическом анализаторе.

Список используемых источников

1. Ракитин В.В. Интегральные схемы на КМОП-транзисторах. -127с.
2. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. М.: Мир, 2001. - 379 с.
3. Новиков Ю.В., Скоробогатов П.К. Основы микропроцессорной техники. Курс лекций. М.: ИНТУИТ.РУ, 2003. - 440 с.
4. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учеб. пособие для ВТУЗов. СПб.: Политехника, 2006. - 885 с.
5. Преснухин Л.Н., Воробьев Н.В., Шишкевич А.А. Расчет элементов цифровых устройств. М.: Высш. шк., 2001. - 526 с.
6. Букреев И.Н., Горячев В.И., Мансуров Б.М. Микроэлектронные схемы цифровых устройств. М.: Радио и связь, 2000. - 416 с.
7. Соломатин Н.М. Логические элементы ЭВМ. М.: Высш. шк., 2000. - 160 с.
8. Калабеков Б.А. Цифровые устройства и микропроцессорные системы — М.: Телеком, 2000г.
9. Угрюмов Е.П. Цифровая схемотехника. Санкт-Петербург, 2007
10. Нахалов А.В. Схемотехника телекоммуникационных устройств. М. 2012
11. Хохлов А.В., Вадивасова Т.Е., Шабунин А.В. Элементная база радиоэлектроники. Саратов, Изд-во СГУ, 2014

