

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«САРАТОВСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИМЕНИ Н.Г. ЧЕРНЫШЕВСКОГО»

Кафедра физики твердого тела

**«ЭЛЕМЕНТЫ ТРОИЧНОЙ
ПОСЛЕДОВАТЕЛЬНОСТНОЙ ЛОГИКИ»**

АВТОРЕФЕРАТ БАКАЛАВРСКОЙ РАБОТЫ

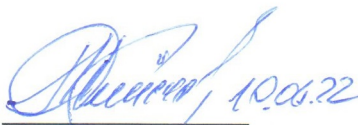
студента 4 курса 4051 группы
направления 11.03.04 «Электроника и наноэлектроника»
Института физики

Овчинникова Константина Сергеевича

Научный руководитель

профессор, д.ф.- м.н.

должность, уч. степень, уч. звание



подпись, дата

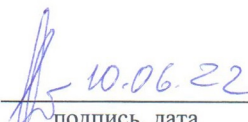
А.А. Семёнов

инициалы, фамилия

Зав. кафедрой

профессор, д.ф.- м.н.

должность, уч. степень, уч. звание



подпись, дата

Ал.В. Скрипаль

инициалы, фамилия

Саратов 2022

Введение

Уже сегодня можно видеть, что быстродействие современных микропроцессоров приближается к своему пределу, хотя их тактовые частоты практически вплотную приблизились к барьеру в 6 ГГц. Но наращивать тактовую частоту микропроцессоров и повышать быстродействие входящих в их состав транзисторов за счет уменьшения их размеров становится все сложнее из-за фундаментальных физических ограничений. Развитие же в рамках архитектуры микропроцессора, которое во многом опирается на принципы распараллеливания, также ограничено [1-10].

Возможные способы повышения производительности микропроцессоров могут быть найдены на путях внедрения принципиально новых материалов и технологий, что связано с необходимостью частичного или полного отказа от современной технологии производства электронных компонентов. Но существует и вариант, позволяющий повысить производительность микропроцессоров без отказа от привычных и отлаженных технологий, как в области создания интегральных схем, так и микроархитектуры.

Переход цифровой техники от двоичной основы к троичной системе счисления, то есть использованию в рамках одного разряда трёх возможных состояний — ложь / неопределенность / истина — то есть -1 , 0 и 1 , позволяет получить целый ряд преимуществ [11,12].

Наряду с устройствами комбинационной логики, сигнал на выходе которых в определённый момент времени, определяется комбинацией логических сигналов на входах устройств в тот же самый момент времени, существует обширный класс цифровых устройств так называемого последовательностного типа.

Один из наиболее важных разделов более общей задачи, связанной с разработкой элементной базы цифровых автоматов с многозначным структурным алфавитом – это принципы построения многозначных физических систем, в рамках которых элементы последовательностной логики играют роль статической памяти, счетчиков, регистров сдвига и т.п.

Устройства такого типа это — цифровые автоматы и синхронные схемы, частным случаем которых является, собственно, процессор. Но основное их свойство заключается в том, что устройства последовательностного типа обеспечивают «память» цифровых систем.

Целью данной дипломной работы является реализация моделей базовых элементов троичной последовательностной логики, используемых при создании троичных цифровых устройств, изучение принципов и особенностей их работы, в частности, модели асинхронного троичного RS-триггера. Разработка и экспериментальное исследование его действующего макета. В качестве троичных логических элементов были выбраны модели, разработанные ранее в САПР NI Electronics Workbench на основе КМОП–транзисторов [11], и биполярных транзисторов [12]. Последние, как более распространенные и доступные, были использованы в качестве элементной базы для создания действующего макета асинхронного троичного RS-триггера.

Исходя из поставленной выше цели, в ходе выполнения работы решались следующие задачи:

- Изучить устройство и принцип работы моделей логических элементов троичной логики;
- Изучить устройство и принцип работы элементов двоичной последовательностной логики на примере асинхронного RS-триггера на логических вентилях «И-НЕ».
- Разработать в среде САПР NI Electronics Workbench модель асинхронного троичного RS-триггера на основе моделей элементов троичной логики, выполненных на КМОП–транзисторах.
- Исследовать принципы и особенности работы созданной модели асинхронного троичного RS-триггера.
- Разработать в среде САПР NI Electronics Workbench модель асинхронного троичного RS-триггера на основе моделей элементов троичной логики, выполненных на биполярных транзисторах.

- Исследовать принципы и особенности работы созданной модели асинхронного троичного RS-триггера, выполненного на основе моделей, реализованных на биполярных транзисторах и сравнить с результатами для модели троичного RS-триггера, выполненного на основе моделей, реализованных на КМОП–транзисторах.
- Выполнить действующий макет асинхронного троичного RS-триггера на элементной базе биполярных транзисторов.
- Исследовать экспериментально принципы и особенности работы действующего макета асинхронного троичного RS-триггера, сравнить экспериментальные результаты с данными, полученными ранее в результате теоретических расчетов.
- Сделать выводы о возможности создания базовых элементов троичной последовательностной логики, их свойствах, а также о целесообразности и перспективах их практического применения.

Работа занимает 46 страниц и включает в себя 16 рисунков, список использованных источников, состоящий из 16 наименований.

Основное содержание работы

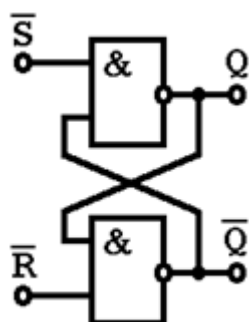
Во введении рассматривается актуальность работы, определяются цель и задачи исследования. Описываются преимущества троичной логики, обосновывается выбор элементной базы.

Первая глава посвящена рассмотрению принципов работы двоичных схем последовательностного типа. Выясняются принципы работы триггерных устройств на основе элементов резисторно-транзисторных и транзисторно-транзисторных логических семейств. Рассмотрена схемотехника бистабильных устройств на этой элементной базе [13].

Сформулированы основные свойства асинхронных RS-триггеров, фиксируются их достоинства и недостатки.

Триггером в двоичной логике принято называть логическое устройство последовательностного типа с обратными связями, обладающее двумя

состояниями устойчивого равновесия (иначе говоря — бистабильная ячейка). Схема асинхронного RS–триггера на основе логических элементов «И-НЕ» представлена на рис. 1, *а*. Триггер имеет два информационных входа: **Set** и **Reset**, и два выхода: **Q** и **/Q**. Он может быть *установлен* активным уровнем логического сигнала по входу **Set**, при этом на выходе **Q** устанавливается логическая «1», или *сброшен* по входу **Reset**, при этом на выходе **Q** — логический «0». Триггер такого типа называют асинхронным, поскольку он может быть установлен или сброшен в любой произвольный момент времени.



а)

№ изм.	Q_n	$\bar{S}$	$\bar{R}$	Q_{n+1}
1	1	1	1	1
2	1	1	0	0
3	0	1	1	0
4	0	0	1	1
5	1	1	1	1
6	1	0	1	1
7	1	1	1	1
8	1	0	0	1

б)

Рис. 1. Принципиальная электрическая схема асинхронного двоичного RS-триггера на элементах «И-НЕ» (*а*) и его таблица переходов (*б*)

Таблица переходов RS–триггера, представленная на рис. 1, *б*, иллюстрирует основные свойства этого устройства. Будучи установленным (**Set**) или сброшенным (**Reset**), триггер не реагирует в дальнейшем на состояние этого управляющего входа и сохраняет свое состояние, пока не будет переключен по другому управляющему входу активным уровнем. Режиму хранения соответствует комбинация $\bar{S} = \langle 1 \rangle$, $\bar{R} = \langle 1 \rangle$. Асинхронный RS-триггер имеет запрещенное состояние: $\bar{S} = \langle 0 \rangle$, $\bar{R} = \langle 0 \rangle$, при котором нарушается логика его работы, заключающаяся в том, что выходы триггера (прямой – **Q** и инверсный – **/Q**) всегда находятся в противофазе

Несмотря на очевидную простоту и эффективность, данная схема имеет ряд недостатков. Во-первых, как уже было сказано выше, RS триггер является асинхронным устройством, что делает его уязвимым к состязаниям (гонкам) сигналов. Во-вторых, в нём присутствует «запрещённое» состояние, которое

создаёт риск недетерминированного поведения триггера. Всё это приводит к тому, что на практике применяются обычно более сложные схемы последовательностной логики, например, синхронный RS-триггер, динамический MS-триггер [14].

Во второй главе рассмотрены теоретические возможности создания элементов последовательностной троичной логики на основе моделей троичных логических элементов, реализованных на базе КМОП-транзисторов [11] и биполярных транзисторов [12].

На основе двух троичных логических элементов [11,12] — аналогов двоичных вентилей «И-НЕ» — была реализована модель троичного RS-триггера, представленная на рисунке 2.

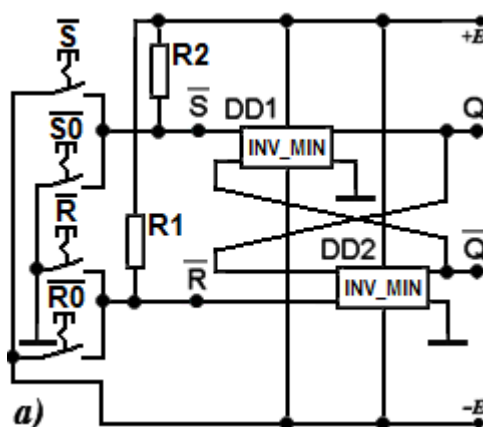


Рис. 2. Принципиальная электрическая схема асинхронного троичного RS-триггера на элементах «INV_MIN»

В неустоявшейся окончательно терминологии троичной логики это устройство называют «триттер», чтобы отличать от его двоичного аналога. С помощью схемы, представленной на рис. 2, была измерена **таблица** логических переходов троичного RS-триттера.

Согласно представленным в таблице данным, можно сформулировать следующие свойства RS-триттера.

Активный низкий уровень напряжения (сигнал -1) на входе /S осуществляет установку троичного RS-триттера, переход в состояние $Q = 1$, $/Q = -1$, при условии, что на входе /R сигнал логической «1».

Таблица Логические состояния цифровой модели троичного RS-триггера

№	/S	/R	Q_{n-1}	$/Q_{n-1}$	Q_n	$/Q_n$	Режим
0	1	1	-	-	0	0	Исходное состояние
1	0	1	0	0	0	0	Установка в 0
2	1	1	0	0	0	0	Хранение
3	-1	1	0	0	1	-1	Установка
4	1	1	1	-1	1	-1	Хранение
5	0	1	1	-1	1	-1	Установка в 0
6	1	1	1	-1	1	-1	Хранение
7	1	0	1	-1	0	0	Сброс в 0
8	1	1	0	0	0	0	Хранение
9	1	-1	0	0	-1	1	Сброс
10	1	1	-1	1	-1	1	Хранение
11	1	0	-1	1	-1	1	Сброс в 0
12	1	1	-1	1	-1	1	Хранение
13	0	1	-1	1	0	0	Установка в 0
14	1	1	0	0	0	0	Хранение
15	-1	1	0	0	1	-1	Установка
16	1	1	1	-1	1	-1	Хранение
17	0	1	1	-1	1	-1	Установка в 0
18	0	0	1	-1	0	0	Безусл. переход в 0
19	0	1	0	0	0	0	Установка в 0
20	1	1	0	0	0	0	Хранение
21	1	-1	0	0	-1	1	Сброс
22	1	1	-1	1	-1	1	Хранение
23	1	0	-1	1	-1	1	Сброс в 0
24	0	0	-1	1	0	0	Безусл. переход в 0
25	0	1	0	0	0	0	Установка в 0
26	1	1	0	0	0	0	Хранение
27	-1	1	0	0	1	-1	Установка
28	1	1	1	-1	1	-1	Хранение
29	0	1	1	-1	1	-1	Установка в 0
30	0	-1	1	-1	0	1	Неуст. состояние
31	0	1	0	1	0	0	Установка в 0
32	1	1	0	0	0	0	Хранение
33	1	-1	0	0	-1	1	Сброс
34	1	1	-1	1	-1	1	Хранение
35	1	0	-1	1	-1	1	Сброс в 0
36	-1	0	-1	1	1	0	Неуст. состояние
37	1	0	1	0	0	0	Сброс в 0
38	1	1	0	0	0	0	Хранение
39	-1	-1	0	0	1	1	Неуст. состояние
40	1	1	1	1	1	-1	Хранение

Активный низкий уровень напряжения (сигнал -1) на входе $/R$, осуществляет сброс троичного RS-триггера, переход в состояние $Q = -1$, $Q = 1$, при условии, что на входе $/S$ сигнал логической «1».

Будучи установленным или сброшенным, RS-триггер не реагирует в дальнейшем на сигналы соответствующего управляющего входа и сохраняет свое состояние, пока не будет переключен по другому управляющему входу активным уровнем. Так же, как и двоичный прототип, RS-триггер хранит своё состояние при $/S = 1$, $/R = 1$.

Очевидно, что эти свойства характерны и для двоичного прототипа асинхронного RS-триггера. Но RS-триггер имеет и свои уникальные свойства, обусловленные логикой работы троичных вентилей «И-НЕ».

При включении RS-триггер устанавливается обычно в состояние «не определено» $Q = 0$, $/Q = 0$.

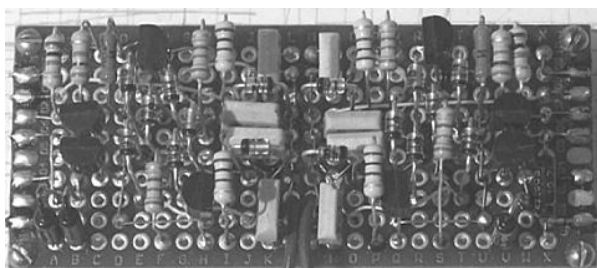
Будучи установленным, RS-триггер может быть сброшен в состояние неопределенности $Q = 0$, $/Q = 0$ только по входу $/R$ логическим уровнем «0».

Будучи сброшенным, RS-триггер может быть установлен в состояние «не определено» $Q = 0$, $/Q = 0$ только по входу $/S$ логическим уровнем «0».

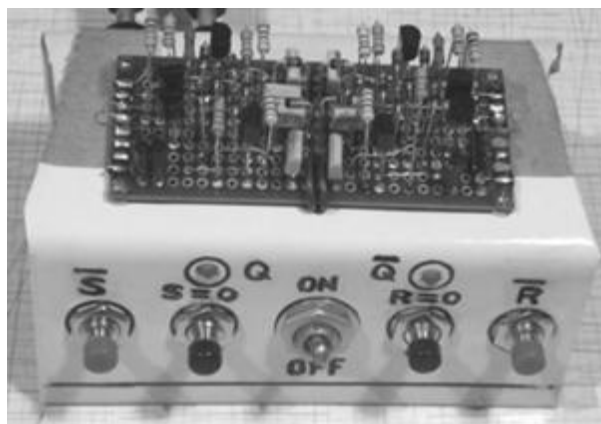
Асинхронный RS-триггер имеет несколько запрещенных состояний при $/S = -1$, $/R = -1$; $/S = -1$, $/R = 0$; $/S = 0$, $/R = -1$; поскольку при этом нарушается логика его работы, предполагающая, что выходы Q и $/Q$ всегда находятся в противофазе. Такие состояния неустойчивы.

Для экспериментальной проверки работы RS-триггера на отечественной элементной базе — биполярных транзисторах типов КТ3102, КТ3107, КТ315, КТ361 [15] — был выполнен рабочий макет двух элементов ТТЛ троичной логики — аналогов двоичных вентилей «И-НЕ» по схеме, представленной в [12]. Внешний вид макета представлен на рис. 3, *а*.

Для измерения экспериментальной таблицы логических переходов макета троичного RS-триггера был изготовлен стенд, внешний вид которого представлен на рис. 3, *б* [16].



a)



б)

Рис. 3. Макет двух троичных логических элементов «INV-MIN» ТТЛ (*a*) и макет RS-триггера на основе логических элементов «INV-MIN» ТТЛ (*б*)

Экспериментальные результаты полностью подтвердили данные, полученные при анализе теоретической модели троичного RS-триггера в программном пакете САПР, и приведённые ранее в таблице.

Заключение.

В ходе выполнения данной квалификационной работы бакалавра были достигнуты следующие результаты:

- Теоретически и экспериментально продемонстрирована возможность создания базового элемента последовательностной логики — асинхронного троичного RS-триггера на основе троичных логических элементов «INV-MIN» — аналогов логических элементов «И-НЕ» двоичной логики.
- Показано, что схемотехнически асинхронный троичный RS-триггер может быть реализован идентично двоичному RS-триггеру по схеме из двух логических вентилей «И» с инверсией и перекрёстными обратными связями.

- Выполнен действующий макет асинхронного троичного RS-триггера на основе троичных логических элементов «INV-MIN», реализованных на базе распространенных отечественных биполярных транзисторов.
- Теоретически и экспериментально исследовано функционирование асинхронного троичного RS-триггера, выявлены базовые принципы его работы и особенности.

Выявленные **базовые принципы и особенности работы асинхронного троичного RS-триггера можно сформулировать следующим образом:**

- Асинхронный троичный RS-триггер на основе троичных логических элементов «INV-MIN» способен хранить три устойчивых логических состояния «1», «0» и «-1» при логических «1» на входах /S и /R.
- Асинхронный троичный RS-триггер **устанавливается** в логические состояния «1» и «0» сигналами логических «-1» и «0», соответственно, по входу /S.
- Асинхронный троичный RS-триггер **сбрасывается** в логические состояния «-1» и «0» сигналами логических «-1» и «0», соответственно, по входу /R.
- Будучи установленным по входу /S или сброшенным по входу /R, триггер не реагирует в дальнейшем на состояние этого управляющего входа и сохраняет свое состояние, пока не будет переключен по другому управляющему входу соответствующим активным логическим уровнем.

Список использованных источников

1. <https://ark.intel.com/content/www/ru/ru/ark/products/148263/intel-core-i7-8086k-processor-12m-cache-up-to-5-00-ghz.html>. Процессор Intel® Core™ i7-8086K (12 МБ кэш-памяти, до 5,00 ГГц) Спецификации продукции. Обращение к ресурсу 18.02.2022.
2. <https://www.intel.ru/content/www/ru/ru/products/sku/199332/intel-core-i910900k-processor-20m-cache-up-to-5-30-ghz/specifications.html>. Процессор Intel® Core™ i9-10900K (20 МБ кэш-памяти, тактовая частота до 5,30 ГГц). Обращение к ресурсу 18.02.2022.
3. <https://hyperpc.ru/hardware/processors/intel-core-i9-10900k>. Процессор Intel® Core™ i9-10900K – фото, технические характеристики, обзор от экспертов HYPERPC. Обращение к ресурсу 18.02.2022.
4. <https://www.ixbt.com/platform/nanometers-2020.html>. Мурки, Т. Как считают нанометры, как их на самом деле надо считать, и почему не все с этим согласны. Обращение к ресурсу 18.02.2022.
5. https://habr.com/ru/company/cloud_mts/blog/454326/. Кроме Мура – кто еще формулировал законы масштабирования вычислительных систем. Обращение к ресурсу 18.02.2022.
6. https://www.iguides.ru/main/other/zakon_mura_bolshe_ne_vypolnyaetsya_est_li_eshche_sposoby_podnyat_proizvoditelnost_kompyuterov/. Морозов, Е. Закон Мура больше не выполняется – есть ли еще способы поднять производительность компьютеров? Обращение к ресурсу 18.02.2022.
7. https://habr.com/ru/company/cloud_mts/blog/455868/. «Преодолевающая» закон Мура: транзисторные технологии будущего. Обращение к ресурсу 18.02.2022.
8. https://habr.com/ru/company/cloud_mts/blog/457156/. Какими могут быть вычислительные системы будущего. Обращение к ресурсу 18.02.2022.
9. <https://habr.com/ru/post/512328/>. Новый подход к использованию фотонных технологий в машинном обучении. Обращение к ресурсу 18.02.2022.
10. <https://m.habr.com/ru/post/512656/>. Новый закон Мура, и причем здесь фотоника? Обращение к ресурсу 18.02.2022.

11. Семёнов А.А. Модели троичных элементов и их применение в схемотехнике процессоров // А.А. Семёнов, А.С. Дронкин – Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами: Сборник статей восьмой Всероссийской научной школы-семинара / под ред. проф. Ал.В. Скрипаля – Саратов: Изд-во «Саратовский источник», 2021. – 280 с.:ил.
12. Семёнов А.А. Базовые элементы троичной транзисторно-транзисторной логики // А.А. Семёнов, А.С. Дронкин – Взаимодействие сверхвысоко-частотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами: Сборник статей девятой Всероссийской научной школы-семинара / под ред. проф. Ал.В. Скрипаля – Саратов: Изд-во «Саратовский источник», 2022. С. 52-56.
13. Хоровиц П., Хилл У. Искусство схемотехники. Т.1. Перевод с англ. под ред. М.В. Гальперина. – М.: Мир, – 1983, с. 540.
14. Шило В.Л. Популярныe цифровые микросхемы: Справочник. // В.Л. Шило – 2-е изд., исправленное. – М.: Радио и связь, 1989. – 352 с.:ил.
15. Транзисторы для аппаратуры широкого применения: Справочник / К.М.Брежнева, Е.И.Гантман, Т.И.Давыдова и др. Под ред. Б.Л.Перельмана. – М.: Радио и связь, 1981, 656 с.
16. Овчинников К.С. Элементы троичной последовательностной логики // К.С. Овчинников, А.С. Дронкин, А.А. Семёнов – Взаимодействие сверхвысокочастотного, терагерцового и оптического излучения с полупроводниковыми микро- и наноструктурами, метаматериалами и биообъектами: Сборник статей девятой Всероссийской научной школы-семинара / под ред. проф. Ал.В. Скрипаля – Саратов: Изд-во «Саратовский источник», 2022. С. 57-61.

